

(19) 日本国特許庁 (J.P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-136814

(43) 公開日 平成5年 (1993) 6月1日

(51) Int. Cl.⁵
H04L 12/48
12/18

識別記号 庁内整理番号

F I

技術表示箇所

8529-5K
8529-5K

H04L 11/20
11/18

Z

審査請求 未請求 請求項の数5 (全 9 頁)

(21) 出願番号 特願平3-300041
(22) 出願日 平成3年 (1991) 11月15日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72) 発明者 川崎 健
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 西 哲也
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 武智 竜一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁理士 井島 藤治 (外1名)
最終頁に続く

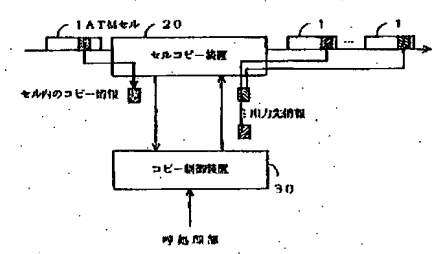
(54) 【発明の名称】 ATM網におけるセルコピー装置

(57) 【要約】

【目的】 本発明は、同報通信を行う場合のATM網におけるセルコピー装置に関し、ハードウェア量を少なくして簡単な構成のATM網におけるセルコピー装置を提供することを目的としている。

【構成】 ATM網のセルを複数コピーするセルコピー装置20と、呼処理部からの情報を基にコピー先を決定するコピー制御装置30とを具備し、コピー制御装置30は、セルコピー装置20からのセルに含まれるコピー情報を読取って出力先を決定し、セルコピー装置20はコピー制御装置30からコピー数だけ順次出力される出力先情報をセルに付与して出力するように構成する。

本発明の図解ブロック図



【特許請求の範囲】

【請求項1】 ATM網のセルを複数コピーするセルコピー装置(20)と、呼処理部からの情報を基にコピー先を決定するコピー制御装置(30)とを具備し、コピー制御装置(30)は、セルコピー装置(20)からのセルに含まれるコピー情報を読取って出力先を決定し、セルコピー装置(20)はコピー制御装置(30)からコピー数だけ順次出力される出力先情報をセルに付与して出力するようにしたことを特徴とするATM網におけるセルコピー装置。

【請求項2】 前記セルコピー装置(20)は、セルの内容を記憶しておくセルメモリ(11)と、セルメモリ(11)への書込みアドレスを与える書込みアドレスカウンタ(12)と、セルメモリ(11)の内容を読出す時の送出するセルの先頭位置を示すアドレスをセルメモリ(11)に与える読出しアドレスカウンタ(13)とを具備し、セル到着時には、書込みアドレスカウンタ(12)の出力を増加させながらセルメモリ(11)に書込み、読出しアドレスカウンタ(13)の示す位置のセルを複写数だけ読出して送出し、セルのコピー終了時に読出しアドレスカウンタ(13)の出力を次のセルの先頭位置にセットするようにしたことを特徴とする請求項1記載のATM網におけるセルコピー装置。

【請求項3】 前記セルコピー装置(20)は、コピーするセルとコピーしないセルを分離するセル分離部(21)と、コピーしたセルとコピーしないセルを多重するセル多重部(22)と、コピーするセルを送出するコピー部(23)と、前記セル分離部(21)とセル多重部(22)とを結合する回線上にコピーしないセルがないことを検出するセル有無検出部(24)とを具備し、前記セル有無検出部(24)からのセルがないことを通知された場合にのみ、前記コピー部(23)でコピーしたセルの送出を行うようにしたことを特徴とする請求項1記載のATM網におけるセルコピー装置。

【請求項4】 前記コピー制御装置(30)は、セルに含まれるコピー情報から出力先を記憶するコピー先メモリ(31)と、出力先情報を出力する変換部(32)とを具備し、前記変換部(32)は、直前のコピー先情報とコピー先メモリ(31)の値から次のコピー先と最後のコピーであることを示す情報を出力するようにしたことを特徴とする請求項1記載のATM網におけるセルコピー装置。

【請求項5】 前記コピー先メモリ(31)は、セル内のコピー情報からコピーアドレスを求めるコピーアドレス変換メモリ(40)と、コピー先出力を記憶するコピー先出力メモリ(41)と

を具備し、

コピーアドレス変換メモリ(40)は、コピー先出力メモリ(41)と関連した最初のコピー先情報を含んだコピーアドレスを出力し、コピー先出力メモリ(41)は、次のコピー先の出力情報を含んだ前のコピーアドレスから次のコピーアドレスを出力するようにしたことを特徴とする請求項4記載のATM網におけるセルコピー装置。

【発明の詳細な説明】

10. 【0001】

【産業上の利用分野】 本発明は、同報通信を行う場合のATM網におけるセルコピー装置に関する。サービスの多様化を目指した広帯域ISDNを実現するATM網においては、従来の1対1通信だけでなく、1対nの同報通信も要求される。このため、ATM網は同報サービスに対応するために、ATM網の通信単位であるセルを複数コピーして複数の加入者に転送する必要がある。

【0002】

【従来の技術】 図8は従来システムの構成概念図である。ATMセル1は、セルコピー装置10に入る。図9はATMセルのフォーマット例を示す図である。ATMセルは5バイト(40ビット)のATMヘッダと48バイトの情報部(INFORMATION)に分かれている。

【0003】 ATMヘッダにおいて、GFCはジュネリックフローコントロールで、リンク間のフロー制御に用いるものである(詳細検討中)。VPIはVirtual Path識別子、VCIはVirtual Channel識別子である。これらVPI及びVCIはATMスイッチがルートを決定する時の基礎データとなる。PTはペイロードタイプでセルの種別を示す(詳細検討中)。RSは1ビットのリザーブビット、CLPは1ビットのセルロスプライオリティビットで、ユーザが廃棄されてはならないセルに対して“1”を立てるか“0”を書き込む部分である。HECは40ビット構成のATMヘッダに対するCRC(誤り訂正コード)である。

【0004】 ATMセル1は、セルコピー装置10内のVCI変換部2に入り、入力セルのコピーに関する情報(ここではVCI)から複数の宛先情報に変換される。

40 この宛先情報は、ビットマップメモリ3に入る。ビットマップメモリ3の構成は、例えば図10に示すような構成になっており、#1から#nまでの回線の内のそれぞれに対してセルを送出すべき回線に“1”が、送出しない回線に対して“0”がそれぞれ書き込まれている。

【0005】 4はビットマップメモリ3の各ビットに対応して設けられたスイッチであり、ビットマップメモリ3のビットが立っている回線のみスイッチ4がオンになり、セルを送出する。このようにして、同報通信を実現している。

50. 【0006】

【発明が解決しようとする課題】 前述した従来の装置では、以下に示すような問題があった。

①スイッチ4の出線の数が多い場合、出線だけのビット情報をスイッチに渡すために、大きなセル情報の拡張が必要になる。または、スイッチへの物理線が多くなる等の問題がある。

②入力線と出力線の帯域が同じような場合には、セルコピーを実現する際に、出力線を通れるセル数が多いために、セルコピーのための待ち合わせバッファ及びコピーするために必要となるメモリの2種類のメモリが必要となり、ハードウェア量が增大するという問題がある。

③単一の出力先（宛先）しかもたないセルと複数の出力先を持つセルを分離して、複数の出力先を持つセルをコピーし、両者のセルを多重する際に、セル多重のためのバッファ及び出力調停が必要となるために、ハードウェア量が大きくなるという問題がある。

④複数の複写先に1個ずつコピーするために、どの複写先にコピーしたかを記憶しておく必要があり、出線が多い場合には、その記憶装置及び次のコピー先決定のハードウェア量が大きくなってしまいう問題がある。

⑤セル内のコピー情報と、各出線に対してコピーするかしないかの関係を記憶しておくためには、全ての出線にビットを割り当てる必要があり、出力が多い場合には、メモリ量を多く必要とするという問題がある。

【0007】 本発明はこのような課題に鑑みてなされたものであって、ハードウェア量を少なくして簡単な構成のATM網におけるセルコピー装置を提供することを目的としている。

【0008】

【課題を解決するための手段】 図1は本発明の原理ブロック図である。図において、1はATMセル（以下単にセルという）である。20はATM網のセルを複数コピーするセルコピー装置、30は呼処理部からの情報を基にコピー先を決定するコピー制御装置である。

【0009】

【作用】 コピー制御装置30は、セルコピー装置20からのセルに含まれるコピー情報を読取って出力先を決定し、セルコピー装置20は順にセルをコピーしながらコピー制御装置30からコピー数だけ順次出力される出力先情報をセルに付与して出力するようにする。従って、後段のスイッチ（図示せず）においては、その出力先情報を参照しながら、各セルを目的の出線に送出する。このスイッチにおいては、コピーを行わないので、セルの出線のIDのみを与えれば目的の出線への出力が可能となる。このように、本発明によればハードウェア量を少なくして簡単な構成のATM網におけるセルコピー装置を提供することができる。

【0010】

【実施例】 以下、図面を参照して本発明の実施例を詳細に説明する。図2はセルコピー装置20の一実施例を示

す構成ブロック図である。図1と同一のものは、同一の符号を付して示す。図において、11はセルの内容を記憶しておくセルメモリ、12はセルメモリ11への書込みアドレスを与える書込みアドレスカウンタ、13はセルメモリ11の内容を読出す時の送出するセルの先頭位置を示すアドレスをセルメモリ11に与える読出しアドレスカウンタである。このように構成された回路の動作を説明すれば、以下のとおりである。

【0011】 セル到着時には、書込みアドレスカウンタ12の出力を増加させながらセルメモリ11にセルの内容を書込む。セルメモリ11の内容を読出す時には、読出しアドレスカウンタ13の示す位置のセルを複写数だけ読出して送出し、コピー終了時には、コピー制御装置30からの終了信号を受けて、読出しアドレスカウンタ13の出力を次のセルの先頭位置にセットする。そして、次のセルを読出すことができるようにしておく。セル1内の1aは、宛先情報がコピー制御装置30により書き込まれる領域である。

【0012】 図3はセルコピー装置20の他の構成例を示すブロック図である。図1と同一のものは、同一の符号を付して示す。図において、21はコピーするセルとコピーしないセルを分離するセル分離部、22はコピーしたセルとコピーしないセルを1ラインに多重するセル多重部、23はコピーするセルをセル多重部22に送出するコピー部、24は前記セル分離部21とセル多重部22とを結合する回線上にコピーしないセルがないことを検出するセル有無検出部である。このように、構成された回路の動作を説明すれば、以下のとおりである。

【0013】 前記コピー部23は、セル有無検出部24からのセルがないことを通知された場合にのみ、該コピー部23でコピーしたセルの送出を行うようにする。このような構成とすることにより、セル多重部22で単一の出力先しか持たないセルと複数の出力先を持つセルとを多重する場合に、セル多重のためのバッファが不要になり、出力調停のためのハードウェアも小さくなる。当然に、2つの入力からのセルの同時到着は起こらない。

【0014】 図4はコピー制御装置30の一実施例を示す構成ブロック図である。図において、31はセルに含まれるコピー情報から出力先を記憶するコピー先メモリ、32は出力先情報を出力する変換部である。コピー先メモリ31には呼処理部（図示せず）より出力されるパス設定情報が入っている。このように構成された回路の動作を説明すれば、以下のとおりである。

【0015】 最初に、セルコピー開始時に、セルコピー装置20からセル内のコピー情報がコピー先メモリ31に与えられると同時に、直前のコピー出力先情報を初期値として変換部32に設定する。次に、変換部32は、コピー先メモリ31の出力値と、直前のコピー先情報の値から次のコピー先情報を決定し、出力先情報としてセルコピー装置20に出力する。同時に直前のコピー先の

出力先情報を書き換えることにより、全ての出力先にセルをコピーして送出することが可能となる。また、前記変換部32は、コピー先メモリ31の出力と直前の出力先情報とから最後のコピーであることを示す情報を得て出力する。セルコピー装置20側では、最後のコピーであることを示す情報を受けたら、セルコピーを行った後そのセルのコピー動作を終了する。

【0016】これにより、複数の複写先に1個ずつコピーしていく場合に、次のコピー先決定のためのハードウェアが少なくすむ。図5はコピー先メモリ31の一実施例を示す構成ブロック図である。図において、40はセル内のコピー情報及び呼処理部からの信号を受けて最初の出力先に関連する情報を出力するコピーアドレス変換メモリ、41は直前の出力先の情報及び呼処理部からの信号を受けて次の出力先の情報を出力するコピー先出力メモリ、42はコピーアドレス変換メモリ40とコピー先出力メモリ41の出力を受けて、いずれか一方を選択するセレクトである。このように構成された回路の動作を説明すれば、以下のとおりである。

【0017】セルコピー装置20からのセル内のコピー先に関連する情報がコピーアドレス変換メモリ40に入ると、該コピーアドレス変換メモリ40は、最初のコピー先の出力情報を含んだコピーアドレスを出力する。この出力は、セレクト42を介して変換部32に出力される。セレクト42は、最初のコピーアドレス変換メモリ40の出力の後、前のコピー先出力メモリ41の出力を次の入力として出力先情報を含んだコピーアドレスを出力する。従って、セル内のコピー先の情報から全ての出線にコピーするがしなないかを一度に出す必要がなく、コピー先メモリ31のビット数を減らし、変換部32の構成を簡単化できる。

【0018】図6は、本発明の一実施例を示す構成ブロック図である。図1～図5と同一のものは同一の符号を付して示す。セルコピー装置20に入力されたセルは、セル分離部21に入り、送出先が単一のセルと複数の送出先を持つセルとに分離される。前者はセル多重部22より即出力される。後者のセルは、セルメモリ11の中ので書き込みアドレスカウンタ12の値の示す位置に書込まれる。

【0019】次に、コピーセルの出力時の動作について説明する。読出しアドレスカウンタ13の示す位置のセルの、セル内のコピー先に関する情報がコピー制御装置30内のコピーアドレス変換メモリ40によりコピーアドレスに変換される。セル内のコピー先に関する情報としては、例えば前記したVPIや、コネクションレス通信の着アドレスまたはそれらを変換したもの等が挙げられる。

【0020】コピーアドレスの構成としては、例えば図7に示すような出力先情報と、複数のコピー先関連情報が同じ出力先情報を持つ場合に、それらを区別するため

のID51の合成が挙げられる。出力先情報50としては、スイッチの出線のIDであってもよいし、VCIでもよい。

【0021】コピーアドレスは、変換部32に出力されると共に、コピー先出力メモリ41によって次のコピーアドレスに変換される。同様にして順にコピーアドレスが変換部32に渡される。変換部32では、コピーアドレスの出力先情報50部を分離し、セルコピー装置20に渡す。また、例えばコピーアドレスがデフォルト値のオール“1”の場合に、コピー終了信号をセルコピー装置20に与える。このコピー終了判定は、コピー先出力メモリ41内のメモリに直接書込んでもよい。

【0022】セル有無検出部24からの単一出力先のセルが無いという情報により、セルコピー装置20内では出力先情報50を、読出しアドレスカウンタ13の値が示すセルに付与し、出力する。そして、次の出力先情報50をコピー制御装置30に対して要求する。また、終了信号により読出しアドレスカウンタ13の値は1セル分だけ増加される。また、出力先が単一のセルと複数のセルを分離させずに、単一出力先のセルはコピー装置から1個だけ送出させるというようにしてもよい。

【0023】

【発明の効果】以上、詳細に説明したように、本発明によれば以下の効果が得られる。

①スイッチでは1つのセルに対して1つの出線しか無いため、スイッチへ与える出線の情報を小さくすることが可能となる。

②コピー待ちセル用と、コピー中セル用の両者の機能を1つのメモリで実現することができ、ハードウェア量の削減が可能となる。

③送出先が単一のセルとコピーされたセルが同時に到着することが無いため、セル衝突を防ぐためのバッファが不要となり、ハードウェア量の削減が可能となる。

④すでに出力した先を全て記憶することなく、全ての送出先への送出が可能となり、ハードウェアの削減が可能となる。

⑤送出先情報を与えるメモリを小さくできると共に、出力先情報を与えるハードウェアを簡略化できる。

【0024】このように、本発明によればハードウェア量を少なくして簡単な構成のATM網におけるセルコピー装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】セルコピー装置の一実施例を示す構成ブロック図である。

【図3】セルコピー装置の他の実施例を示す構成ブロック図である。

【図4】コピー制御装置の一実施例を示す構成ブロック図である。

【図5】コピー先メモリの一実施例を示す構成ブロック

(5)

図である。

【図6】本発明の一実施例を示す構成ブロック図である。

【図7】コピーアドレスの構成例を示す図である。

【図8】従来システムの構成概念図である。

【図9】ATMセルのフォーマットを示す図である。

【図10】ビットマップメモリの構成例を示す図である。

【符号の説明】

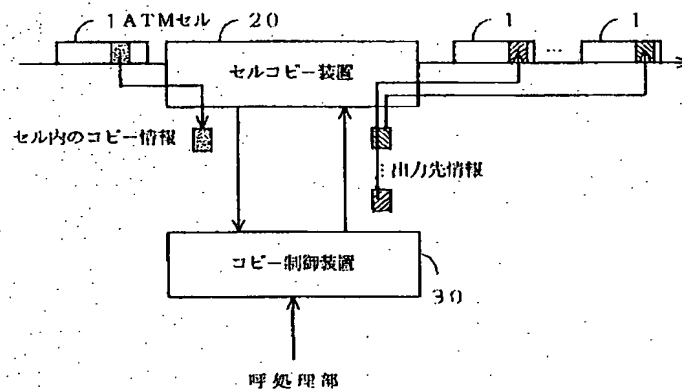
1 ATMセル

20 セルコピー装置

30 コピー制御装置

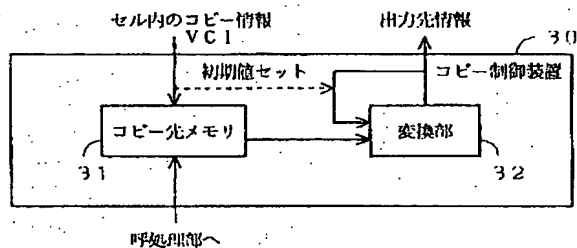
【図1】

本発明の原理ブロック図



【図4】

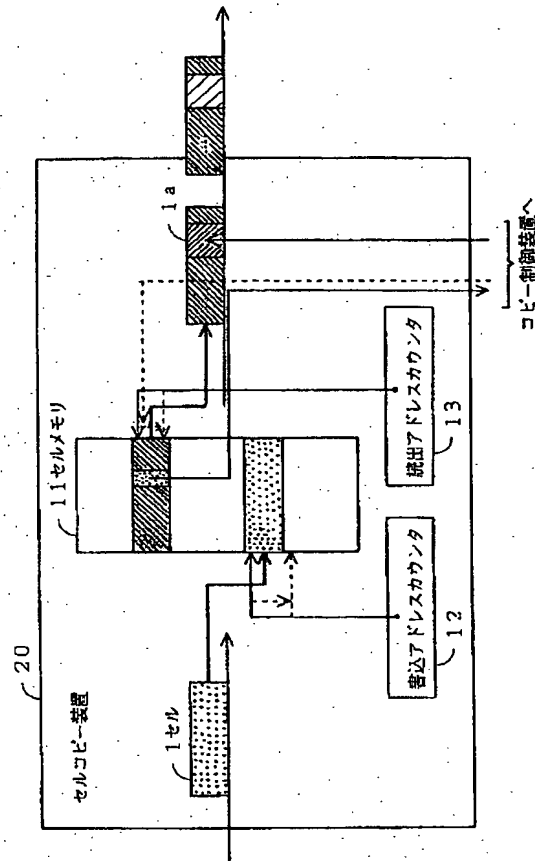
コピー制御装置の一実施例を示す構成ブロック図



(6)

【図2】

セルコピー装置の一実施例を示す構成ブロック図



【図10】

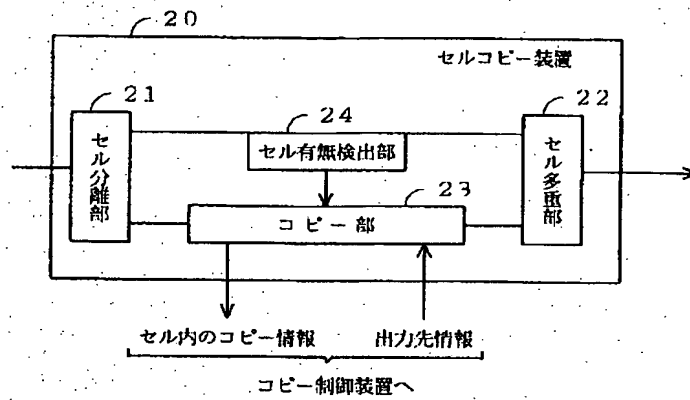
ビットマップメモリの構成例を示す図

#1	#2	#3	#n
0	1	1	0

(7)

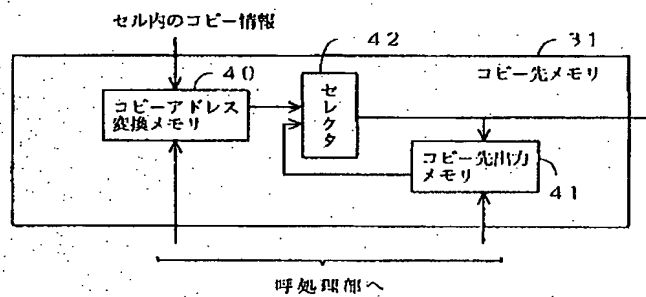
【図3】

セルコピー装置の他の実施例を示す構成ブロック図



【図5】

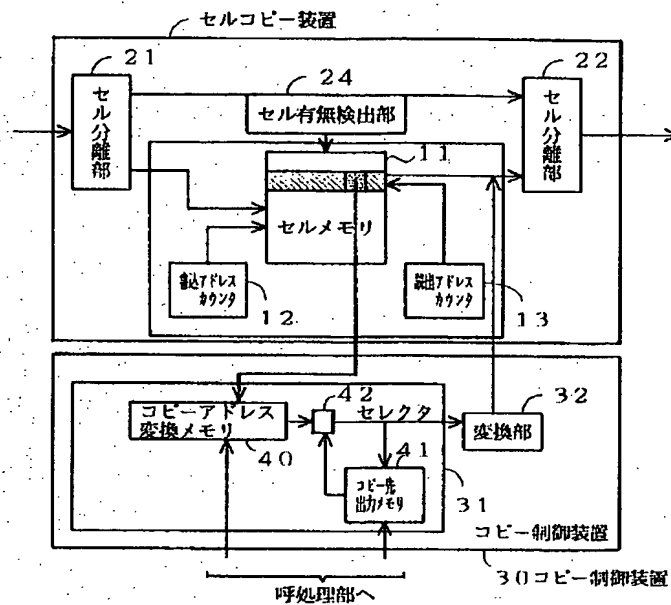
コピー先メモリの一実施例を示す構成ブロック図



(8)

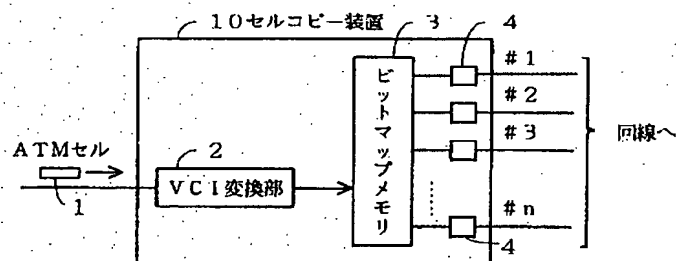
【図6】

本発明の一実施例を示す構成ブロック図



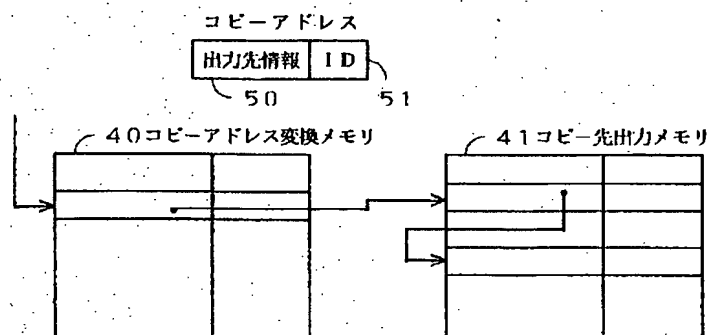
【図8】

従来システムの構成概念図



【図7】

コピーアドレスの構成例を示す図



【図9】

ATMセルのフォーマットを示す図

ATM ヘッダ							INFORMATION
GFC 4b	VPI 8b	VC1 16b	PT 2b	RS 1b	CLP 1b	HEC 8b	48B

フロントページの続き

(72)発明者 向井 春郎
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 早見 七郎
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 初鹿野 一雄
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

40